

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#5 Priority  
Paper  
8-21-00  
R. Stokes

jc525 U.S. PTO  
09/535836  
03/28/00  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 4月 1日

出願番号  
Application Number:

平成11年特許願第094746号

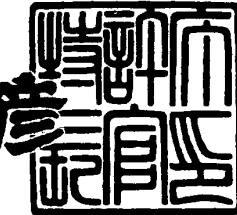
出願人  
Applicant (s):

株式会社半導体エネルギー研究所

2000年 2月 25日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3009810

【書類名】 特許願

【整理番号】 P004150-01

【提出日】 平成11年 4月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 大谷 久

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 仲沢 美佐子

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 村上 智史

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 藤本 悅子

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項1】

導電性を有する材料層上有機材料からなる層間絶縁膜と、  
前記層間絶縁膜上に第1の金属層と、  
前記第1の金属層上に第2の金属層とを有し、  
前記層間絶縁膜に設けられたコンタクトホールを介して前記導電性を有する材料  
層と前記第2の金属層が接続されていることを特徴とする半導体装置。

【請求項2】

薄膜トランジスタ上有機材料からなる層間絶縁膜と、  
前記層間絶縁膜上に第1の金属層と、  
前記第1の金属層上に第2の金属層と、  
前記層間絶縁膜に設けられたコンタクトホールを介して前記薄膜トランジスタの  
ソース領域またはドレイン領域と前記第2の金属層が接続されていることを特徴  
とする半導体装置。

【請求項3】

請求項1または請求項2において、前記第1の金属層はアルミニウムまたはアル  
ミニウムを主成分とする材料からなることを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、前記第2の金属層はチタンまたはチタン  
を主成分とする材料からなることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか一において、前記層間絶縁膜はポリイミド、ポリイミ  
ドアミド、ポリアミド、アクリル、またはBCB(ベンゾシクロブテン)を主成  
分とする有機系の樹脂材料からなることを特徴とする半導体装置。

【請求項6】

絶縁表面上に薄膜トランジスタを形成する工程と、  
前記薄膜トランジスタを覆って有機材料からなる層間絶縁膜を成膜する工程と、

前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、  
前記第1の金属膜をパターニングし、第1の金属層を形成する工程と、  
前記第1の金属層をマスクとして、前記層間絶縁膜をエッティングし、コンタクトホールを形成する工程と、  
前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、  
前記第1の金属層および前記第2の金属膜をパターニングし、積層構造を一部有する配線を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項7】

絶縁表面上に導電性を有する第1の材料層を形成する工程と、  
前記第1の材料層を覆って有機材料からなる層間絶縁膜を成膜する工程と、  
前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、  
前記第1の金属膜をパターニングし、第1の金属層を形成する工程と、  
前記第1の金属層をマスクとして、前記層間絶縁膜をエッティングし、コンタクトホールを形成する工程と、  
前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、  
前記第2の金属膜を覆って、無機膜を成膜する工程と、  
前記第1の金属層と前記第2の金属膜と前記無機膜とをパターニングし、上面に無機層を有する配線を形成する工程と、  
前記配線上に接して導電性を有する第2の材料層を形成し、前記無機層を誘電体として、前記配線と前記第2の材料層とで容量を形成する工程と、  
を有することを特徴とする半導体装置の作製方法。

【請求項8】

請求項7において、前記無機膜は、CVD法で成膜することを特徴とする半導体装置の作製方法。

【請求項9】

請求項6乃至8のいずれか一において、前記第1の金属膜および前記第2の金属膜は、スパッタリング法で成膜することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、半導体装置の構成および作製方法に関する。特に半導体薄膜を利用したアクティブマトリクス型液晶表示装置およびその作製方法に関する。また、本願発明は、そのような表示装置を具備した電気光学装置に応用することが可能である。

【0002】

なお、本明細書中では半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、TFT等の単体の半導体素子だけでなく、半導体素子で構成した半導体回路や電気光学装置およびそれらを部品として搭載した電気機器をも包含する。半導体素子としては薄膜トランジスタ（TFT）が代表的であるが、その他にも絶縁ゲート型電界効果トランジスタ（IGFET）、薄膜ダイオード、MIM素子、バリスタ素子が挙げられる。

【0003】

【従来の技術】

近年、絶縁性基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）等の半導体素子を用いた半導体装置を作製する技術が急速に発達している。その理由は、液晶表示装置（代表的には、アクティブマトリクス型液晶表示装置）の需要が高まってきたことによる。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの表示画素に出入りする電荷を表示画素のスイッチング素子により制御して画像を表示するものである。

【0004】

また、半導体装置は、TFT等を用いて形成されたアクティブマトリクス回路、I C、ULSI、VLSIなどの集積回路を有しており、近年、これら集積回路は、益々微細化の一途をたどる傾向があり、サブミクロン領域での加工寸法が要求されている。

【0005】

そこで、集積回路における半導体素子の各部分のサイズ（配線幅、チャネル幅、コンタクトホールの直径等）を縮小する試みがなされている。特に、微細化技術と多層配線技術とにより径の小さいコンタクトホールを介して電気的接続をとる必要性が高まっている。

## 【0006】

従来では、層間絶縁膜としてCVD法で成膜される絶縁膜（酸化珪素膜、窒化珪素膜等）がよく使用され、ドライエッチング法やウェットエッチング法を用いてコンタクトホールを形成している。

## 【0007】

例えば、酸化珪素膜を薄膜トランジスタの第1の層間絶縁膜に使用する場合、コンタクトホールの形成には、層間絶縁膜と半導体層との選択比及び作業の容易さの点からウェットエッチング法を用いている。ドライエッチング法を用いた場合は、珪素を主成分としている半導体層と酸化珪素膜とは構成主成分が同じため、選択比が低く、膜厚の薄い半導体層が同時に除去される問題があった。

## 【0008】

しかしながら、従来よりもさらに微小なコンタクトホールを形成しようとした場合、ウェットエッチング法は、等方性エッチングのため、オーバーエッチングが不可避的に発生してしまい、微細化を妨げていた。例えば、直径 $2\text{ }\mu\text{m}$ のコンタクトホールを形成しようとした場合、膜厚等にもよるが約2倍以上の直径を有するコンタクトホールが形成されていた。

## 【0009】

本発明は、特にサブミクロン領域での薄膜トランジスタの作製方法において、従来よりも微小なコンタクトホール（代表的には $2\sim3\text{ }\mu\text{m}$ 以下）形成方法に関するものである。

## 【0010】

## 【発明が解決しようとする課題】

本発明は、層間絶縁膜に有機材料を使用し、有機材料でなる層間絶縁膜にコンタクトホールをドライエッチング法を用いて形成する構成とするものである。

## 【0011】

従来、ドライエッティング法においてレジストマスクを用いた場合は、構成成分が似ているため、有機材料膜とレジストマスクとの選択比が取りにくく、コンタクトホールの形成が困難であった。よって、有機材料からなる層間絶縁膜に設けるコンタクトホールの形成にレジストマスクを使用することは避けられていた。

【0012】

本明細書で開示する発明は、上記問題を解決して微小なコンタクトホールを形成し、集積回路を微細化することを課題とする。

【0013】

【課題を解決するための手段】

本明細書で開示する本発明の構成は、  
導電性を有する材料層上有機材料からなる層間絶縁膜と、  
前記層間絶縁膜上に第1の金属層と、  
前記第1の金属層上に第2の金属層とを有し、  
前記層間絶縁膜に設けられたコンタクトホールを介して前記導電性を有する材料層と前記第2の金属層が接続されていることを特徴とする半導体装置である。

【0014】

さらに、他の発明の構成は、  
薄膜トランジスタ上有機材料からなる層間絶縁膜と、  
前記層間絶縁膜上に第1の金属層と、  
前記第1の金属層上に第2の金属層と、  
前記層間絶縁膜に設けられたコンタクトホールを介して前記薄膜トランジスタのソース領域またはドレイン領域と前記第2の金属層が接続されていることを特徴とする半導体装置である。

【0015】

上記各構成における第1の金属層または第2の金属層としては、導電性を有する材料を用いることが可能である。例えば、Al、Ta、Ti、Cr、W、Mo、または導電性が付与されたシリコン等を主成分とする材料層またはそれらの積層膜を用いることができる。なお、第1の金属層としては低抵抗な材料であるアルミニウムまたはアルミニウムを主成分とする材料で構成することが好ましい。

【0016】

また、上記第2の金属層としては、コンタクト特性のよい材料であるチタンまたはチタンを主成分とする材料で構成することが好ましい。

【0017】

上記各構成において、前記層間絶縁膜はポリイミド、ポリイミドアミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)を主成分とする有機系の樹脂材料からなることを特徴としている。

【0018】

また、上記構成を実現するため発明の構成は、  
絶縁表面上に薄膜トランジスタを形成する工程と、  
前記薄膜トランジスタを覆って有機材料からなる層間絶縁膜を成膜する工程と、  
前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、  
前記第1の金属膜をパターニングし、第1の金属層を形成する工程と、  
前記第1の金属層をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、  
前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、  
前記第1の金属層および前記第2の金属膜をパターニングし、積層構造を一部有する配線を形成する工程とを有することを特徴とする半導体装置の作製方法である。

【0019】

さらに、他の発明の構成は、絶縁表面上に導電性を有する第1の材料層を形成する工程と、  
前記第1の材料層を覆って有機材料からなる層間絶縁膜を成膜する工程と、  
前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、  
前記第1の金属膜をパターニングし、第1の金属層を形成する工程と、  
前記第1の金属層をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、  
前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する

工程と、

前記第2の金属膜を覆って、無機膜を成膜する工程と、

前記第1の金属層と前記第2の金属膜と前記無機膜とをパターニングし、上面に無機層を有する配線を形成する工程と、

前記配線上に接して導電性を有する第2の材料層を形成し、前記無機層を誘電体として、前記配線と前記第2の材料層とで容量を形成する工程と、  
を有することを特徴とする半導体装置の作製方法である。

【0020】

上記各構成において、前記無機膜は、CVD法で成膜することを特徴としている。

【0021】

また、上記各構成において、前記第1の金属膜および前記第2の金属膜は、スパッタリング法で成膜することを特徴としている。

【0022】

なお、本明細書において、成膜形成した直後のものを「膜」と呼び、パターニングを施したものを「層」と呼んでいる。

【0023】

【発明の実施の形態】

本発明の実施の形態を図1を用いて以下に説明する。

【0024】

本発明の構成においては、スイッチング素子および各配線を覆う層間絶縁膜として有機材料からなる材料を用い、且つ、金属膜からなるマスクを用いて、ドライエッティング法によってコンタクトホールを形成することを特徴としている。

【0025】

また、本発明の構成において有機材料膜上に存在している配線(112～115)は、すくなくとも一部が積層構造〔第1の金属層(下層)／第2の金属層(上層)〕である。なお、第1の金属層(112、113)が形成されている領域は、少なくとも積層構造である。また、コンタクトホール内部の配線は積層構造ではなく、第2の金属層(114、115)で構成され、ソース領域106また

はドレイン領域105と接しており電気的に接続されている。

【0026】

本発明の構成での、第1の金属層（112、113）または第2の金属層（114、115）としては、導電性を有する材料を用いる。例えば、Al、Ta、Ti、Cr、W、MoまたはTiN等を主成分とする材料層またはそれらの積層膜を用いることができる。なお、第1の金属層としてはアルミニウムのような低抵抗な材料で構成し、第2の金属層としては、成膜後の熱処理によってコンタクト界面から拡散せず、被覆性が良好な材料、例えばチタンを主成分とする材料で構成することが好ましい。

【0027】

次に、本発明のコンタクトホールの形成工程を図2及び図3を用いて以下に説明する。

【0028】

なお、本発明は、有機材料からなる層間絶縁膜（111、116、118）の下に存在する、絶縁基板並びに該基板上に作製された各配線、半導体素子（TFT）は如何なる構造、例えば、トップゲート型（プレーナ型、コプレーナ型、スタガーモード）またはボトムゲート型（チャネルエッチ型、チャネルストップ型）であっても適用可能である。

【0029】

基板全面を覆ってポリイミド、ポリイミドアミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等の有機材料で構成される平坦な第1の層間絶縁膜111を成膜する。なお、これらの有機樹脂材料は熱硬化性であっても光硬化性であってもよい。本発明においては、異なる層間絶縁膜上に設けられた各信号配線との間で発生する寄生容量を低減するために、膜厚0.6～2μmの範囲を有する第1の層間絶縁膜111を設けることが好ましい。

【0030】

こうして得られた第1の層間絶縁膜上に第1の金属膜を形成し、レジストマスク201を用いてパターニングを施す。（図1（B））

【0031】

その後、パターニングの施された第1の金属膜204をマスクとしてドライエッチングを行い、コンタクトホール202、203を形成する。（図1（C））この工程の際、コンタクトホールの形成と同時にレジストマスク201も除去できる。又、Al、Ti、Cr、W、またはTiNを第1の金属膜に用いた場合は、塩素系のエッチャントガスを用いてエッチングすればよい。Taを第1の金属膜に用いた場合は、フッ素系のエッチャントガスを用いてエッチングすればよい。なお、本発明は、その後の工程でマスクとして用いられた第1の金属膜に再度パターニングを施し、配線の一部として使用することを特徴としている。

#### 【0032】

本発明においては、TFT構造は図1に示す構造に限定されるものではなく、例えば逆スタガ型TFTやシリサイド構造を有するような構造であっても実施者の必要に応じて本発明を適用することは容易である。

#### 【0033】

また、本明細書中では、樹脂材料でなる層間絶縁膜の除去を行うためにドライエッチング法を用いているが、エッチャントガスとして、塩素系、フッ素系、酸素、を必要に応じて適宜使用する。

#### 【0034】

本明細書中でいう塩素系のエッチャントガスとは、塩素若しくは塩素を一部に含む気体を指し、例えば、 $Cl_2$ 、 $BCl_3$ 、 $SiCl_4$ 、 $HCl$ 、 $CCl_4$ 等の单一気体若しくは混合気体、さらにこれらの单一気体若しくは混合気体を塩素を含まない気体（例えば $H_2$ 、 $O_2$ 、 $N_2$ 等）で希釈したものを指す。

#### 【0035】

更に、本明細書中でいうフッ素系のエッチャントガスとは、フッ素若しくはフッ素を一部に含む気体を指し、例えば、 $F_2$ 、 $BF_3$ 、 $SiF_4$ 、 $HF$ 、 $CF_4$ 等の单一気体若しくは混合気体、さらにこれらの单一気体若しくは混合気体を塩素を含まない気体（例えば $H_2$ 、 $O_2$ 、 $N_2$ 等）で希釈したものを指す。

#### 【0036】

さらに、以下に示す実施例でもって半導体装置およびその作製方法の詳細な説明を行うものとする。

## 【0037】

## 【実施例】

以下、本発明の実施例を説明するが、この実施例に限定されることは勿論である。

## 【0038】

## 【実施例1】

本実施例では、絶縁性基板上に作製された本発明の半導体素子の断面構造図を図1を用いて説明する。

## 【0039】

図中の100は基板であり、101が下地膜である。また、102はチャネル形成領域、103と104は低濃度不純物領域、105はドレイン領域、106はソース領域、107はゲート絶縁膜、108はゲート配線、109は陽極酸化膜、110は保護膜、111は有機材料膜（第1の層間絶縁膜）、112と113は第1の金属層、114と115は第2の金属層、116は有機材料膜（第2の層間絶縁膜）、117はブラックマスク、118は有機材料膜（第3の層間絶縁膜）、119は画素電極である。

## 【0040】

本発明の配線（112～115）は、有機材料膜上に接して設けられた第1の金属膜（112、113）と該膜上に設けられた第2の金属膜（114、115）との積層構造を有している。また、有機材料膜に設けられたコンタクトホールの内壁部分および底部に接して、第2の金属膜（114、115）のみを成膜した構造を有している。

## 【0041】

第1の金属層または第2の金属層としては、導電性を有する材料であれば特に限定されない。例えば、Al、Ta、Ti、Mo、WまたはCrを主成分とする材料層またはそれらの積層膜を用いることができる。本実施例では、第1の金属膜としてAlを主成分とする材料を用いたため配線の低抵抗化が図れた。なお、Alを主成分とする材料は、平坦な表面に成膜するのは特に問題はないが、表面に凹凸を有する領域にスパッタ法で成膜した場合、凹凸部へのカバレッジが不良

好であり、且つ、コンタクト界面からアルミニウムが半導体層中に拡散する恐れがあるため、半導体層（例えばシリコン）に接して形成することは避けられる。

#### 【0042】

そこで、本実施例では第2の金属膜として窒化チタン（TiN）を用いた。窒化チタンは、アルミニウムと比較して抵抗率は高いが、凹凸を有する領域へのカバレッジが良好であり、且つ、半導体層（例えばシリコン）とのコンタクト界面を良好なものとすることができます。

#### 【0043】

##### 〔実施例2〕

本実施例では、絶縁性表面を有する基板上に、半導体素子の作製工程、特にコンタクトホールの形成工程および配線の形成工程を図2および図3を用いて以下に示す。

#### 【0044】

まず、絶縁表面を有する基板100上に下地膜101を形成する。基板としては、ガラス基板、石英基板、セラミックス基板、半導体基板を用いることができる。本実施例においてはガラス基板を用いた。下地膜は、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜を100～300nmの膜厚で利用することができる。本実施例では、TEOSを原料に用い、酸化珪素膜を200nmの膜厚に形成する。なお、石英基板のように十分平坦性を有しているなら、下地膜は特に設けなくともよい。

#### 【0045】

次に、基板または下地膜の上に活性層を形成する。活性層は膜厚が20～100nm（好ましくは25～70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成すれば良い。結晶性珪素膜の形成方法は公知の如何なる手段を用いても良いが、本実施例では特願平8-335152号公報記載の技術を用い、50nmの膜厚に形成した。

#### 【0046】

こうして形成した結晶性珪素膜をパターニングして活性層を形成し、ゲート絶

縁膜107を形成する。ゲート絶縁膜は酸化珪素膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜を100～300nmの膜厚で用いることができる。本実施例ではプラズマCVD法により窒化酸化珪素膜を150nmの膜厚としてゲート絶縁膜107とした。

#### 【0047】

次に、アルミニウムまたはアルミニウムを主成分とする材料（本実施例では2wt%のスカンジウムを含有したターゲットを使用して成膜した、膜厚400nmのアルミニウム膜）をスパッタ法により成膜し、パターニングしてゲート配線108を形成した。

#### 【0048】

次に、特開平7-135318号公報記載の技術を用いて13族または15族元素を添加し、ソース領域106、ドレイン領域105、チャネル形成領域102、LDD（Lightly doped drain）領域103、104の形成を行った。本実施例ではソース領域、ドレイン領域とチャネル形成領域との間に0.5～1.5μm（代表的には0.7～1μm）のLDD領域103、104を形成した。また、本実施例では、ゲート配線108と接して陽極酸化膜109を形成したが特に形成しなくともよい。

#### 【0049】

次に、活性層に添加した不純物元素（13族または15族元素）を熱アニールまたはレーザー照射によって活性化した。本実施例では、エキシマレーザを用いて活性化させた後、さらに、450℃、2時間の熱アニールを行った。

#### 【0050】

その後、基板全面を覆って、保護膜110を形成する。保護膜としては、窒化珪素膜、窒化酸化珪素膜を用いることができる。本実施例では、保護膜となる窒化珪素膜を膜厚25nmで形成した。なお、保護膜成膜後の断面図を図2（A）に示した。

#### 【0051】

さらに、基板全面を覆って、第1の層間絶縁膜111として膜厚0.5～3μmの有機材料膜を形成する。成膜方法は、スピナーを用いたスピニコーティング

法を利用することにより、容易に表面が平坦な被膜を得ることができる。続いて、250℃、1時間加熱することにより焼成する。本実施例では、アクリルを1μmの膜厚に成膜した。また、第1の層間絶縁膜としてはアクリルの他にポリイミド、BCB（ベンゾシクロブテン）あるいは他の有機材料を使用することが可能である。

#### 【0052】

こうして得られた平坦な第1の層間絶縁膜の上に、第1の金属膜をRFスパッタ法で成膜する。その後、レジストを設け、ドライエッチングにより、第1の金属膜をパターニングする。第1の金属膜は100nm～2μm、本実施例では、アルミニウムを主成分とする金属膜を500nmの膜厚に成膜し、塩素系のエッチャントガスでドライエッチングした。（図2（B））

#### 【0053】

次に、パターニングされた第1の金属膜をマスクとしてドライエッチングを行い、第1の層間絶縁膜にコンタクトホール202、203を形成する。この工程によって同時に、第1の層間絶縁膜の材料と似ている材料からなるレジストも除去される。（図2（C））なお、本実施例のように保護膜を設けた場合は、再度エッチングを行い、保護膜110を除去してコンタクトホール底部に半導体層（106、105）を露出させる。本実施例では保護膜である窒化珪素膜をRIE（reactive ion etching）等による異方性のドライエッチングによってエッチングした。エッチャントガスとしてはフッ素系、CHF<sub>3</sub>ガスを用いた。

#### 【0054】

また、工程数を低減するために、CF<sub>4</sub>と酸素とHeの混合ガスを用いて第1の層間絶縁膜及び保護膜を同時にエッチングすることが好ましい。

#### 【0055】

その後、第2の金属膜301をRFスパッタ法で成膜する。（図3（A））この工程によって、有機材料膜に設けられたコンタクトホールの底部で、前記薄膜トランジスタのドレイン領域105と第2の金属膜とを接してコンタクトを形成する。第2の金属膜の膜厚は10nm～1μm、本実施例ではTiN膜を150nmの膜厚に成膜した。

## 【0056】

第1の金属層または第2の金属層としては、スパッタ法が適用できる導電性を有する材料であれば特に限定されない。例えば、Al、Ta、Ti、Crを主成分とする材料層またはそれらの積層膜を用いることができる。なお、同一の材料を用いて第1の金属層と第2の金属層を形成する構造としてもよい。

## 【0057】

次に、パターニングを施し、第1の金属膜と第2の金属膜をドライエッチングにより、エッチングしてソース電極とドレイン電極の電極パターンを形成した。本実施例では、塩素系のエッチヤントガス、Cl<sub>2</sub> / BC<sub>1</sub><sub>3</sub> / SiCl<sub>4</sub>を40sccm / 10sccm / 180sccmを用いてドライエッチングした。(図3(B))

## 【0058】

こうして完成した配線(112～115)は、有機材料膜上に接して設けられた第1の金属膜と該膜上に設けられた第2の金属膜との積層構造を有している。また、有機材料膜111に設けられたコンタクトホールの内壁部分および底部に接して、第2の金属膜(114、115)のみを成膜した構造を有している。本実施例では、アルミニウムを主成分とする第1の金属膜を用いたため配線の低抵抗化が図れ、且つ、チタンを主成分とする第2の金属膜をコンタクトに使用し、良好なコンタクトを形成することができた。

## 【0059】

そして、基板全面を覆って第2の層間絶縁膜116を形成する。なお第2の層間絶縁膜として膜厚0.5～3μmの有機材料膜を形成する。本実施例では再びアクリルを膜厚1μmで成膜した。その上にブラックマスク117としてTiをスパッタ法で成膜し、パターニングする。

## 【0060】

その後、基板全面を覆って第3の層間絶縁膜118を形成する。なお第3の層間絶縁膜として膜厚0.5～3μmの有機材料膜を形成する。本実施例では再度アクリルを膜厚1μmで成膜した。

## 【0061】

上記第2の層間絶縁膜及び第3の層間絶縁膜にドレイン電極と電気的に接続を

とるためのコンタクトホールを形成する。この工程は、フッ素系のエッチャントガス、本実施例では  $\text{CF}_4 / \text{O}_2 / \text{He}$  を  $5 \text{ sccm} / 95 \text{ sccm} / 40 \text{ sccm}$  を用いたドライエッチングにより行う。なお、本実施例のように第1の層間絶縁膜と第2の層間絶縁膜と第3の層間絶縁膜とを同一材料で形成すると、応力を抑制することができ、各層間絶縁膜同士で優れた密着性を得ることができる。

#### 【0062】

そして、画素電極119となる導電膜を形成し、配線（112～115）を介してTFTのドレイン領域105と電気的に連絡をさせた。（図3（C））本実施例では、この導電膜にITOを用い、透過型の液晶表示装置を作製したが、画素電極にA1やTi等の反射電極を用いて反射型の液晶表示装置を作製することも可能である。A1やTi等の反射電極は、スパッタ法を用いて形成すればよい。

#### 【0063】

以上の作製工程で画素電極に液晶制御用の電圧を印加するためのスイッチング素子（TFT）を完成させ、複数の画素を形成して画素マトリクス回路を有するアクティブマトリクス基板を完成した。画素マトリクス回路内の各画素には少なくとも一つのスイッチング素子と第1の保持容量とを配置すれば良い。なお、本明細書中では、図3（B）において構成された素子をスイッチング素子（代表的にはTFT、MIM素子でも良い）と呼ぶ。

#### 【0064】

なお、アクティブマトリクス基板上には画素マトリクス回路以外にも駆動回路（ドライバー回路）や信号処理回路（γ補正回路、D/Aコンバータ等のロジック回路）を形成することが可能である。これらの回路の作製工程は、基本的には本実施例に示した作製工程と同一（実際には図3（B）の工程で完成する）であるため、詳細な説明は省略する。

#### 【0065】

また、本願発明はコンタクトホールの形成および配線の構成に関する発明であるため、同一基板上に形成される他の素子（容量素子や記憶素子）の構成は如何なるものであっても良い。その様な回路の作製工程や構造は実施者が適宜決定す

れば良い。

### 【0066】

#### 【実施例3】

本実施例では、図4にその構造を示したように逆スタガ型のTFTを用いた例である。公知の技術により逆スタガ型TFTを作製する工程と異なる本実施例の工程は、層間絶縁膜411に有機材料を用いる工程と、金属膜をマスクとして用いてドライエッチングによりコンタクトホールを形成する工程と、第1の金属層412と第2の金属膜414とで構成された配線の形成を行う工程を有している。なお、TFT構造は図4に示す構造（チャネルトップ型）に限定されるものではなく、例えばチャネルエッチ型TFTやシリサイド構造を有するような構造であっても実施者の必要に応じて本発明を適用することは容易である。

### 【0067】

#### 【実施例4】

本実施例は、画素電極に液晶制御用の電圧を印加するためのスイッチング素子（TFT）と同時に保持容量を形成する例である。図5には、保持容量が作製されたコンタクト部分の断面図を図示した。

### 【0068】

本実施例は、実施例1の図2（C）の工程と同一工程で作製されるため、記載および図面は省略する。

### 【0069】

従来、CVD法等で作製される無機薄膜を有機材料膜の上に設ける際、表面に有機材料が露呈していると有機材料膜から水やメタン等のガスが発生し、良質な膜を得ることは難しかった。

### 【0070】

本実施例においては、実施例2の図2（C）と同一の状態が得られたら、基板全面を覆って第2の金属膜をスパッタ法で成膜し、有機材料が露呈した箇所を完全に無くし上記ガスの発生を防止した後、連続的にCVD法によって無機薄膜を成膜した。無機薄膜は、プラズマCVD法を用いて膜厚10～100nm、本実施例では窒化珪素膜を膜厚50nmに成膜した。無機薄膜は、単層でも良いし、

二層以上の積層構造、例えば窒化珪素膜（下層）／酸化珪素膜（上層）としても良い。

#### 【0071】

次に、パターニングを行ない、上面が無機膜521で覆われた配線512、514を形成する。そして、基板全面を覆って第2の層間絶縁層516を形成し、後に保持容量520を構成する部分のみに凹部を設けた。第2の層間絶縁膜は単層でも良いし、二層以上の積層構造としても良い。

#### 【0072】

本実施例では第2の層間絶縁層として、アクリル膜（1μm）からなる絶縁層を用いる。アクリルの代わりにポリイミド、BCB（ベンゾシクロブテン）等の他の有機材料を用いても構わない。

#### 【0073】

そして、凹部を形成するには、ドライエッチング法によりアクリル膜を開口する。この時、窒化珪素膜521がエッチングストップとして機能する。従って、凹部の底面には窒化珪素膜が残る。本実施例の場合にはこの膜521を保持容量の誘電体として利用する。勿論、ウェットエッチングを用いてもよい。また、ハーフエッチングにより凹部を形成して薄膜化された部分を保持容量の誘電体として使用しても良い。

#### 【0074】

こうして第2の層間絶縁層に対して凹部を形成したら、ブラックマスクを形成する。本実施例ではブラックマスク517としてはチタンを用いるが、クロムやタンタル等の他の金属膜であっても良い。

#### 【0075】

この状態で、ドレイン電極512、514とブラックマスク517を上下電極とし、第2の層間絶縁層521（正確には窒化珪素膜）を誘電体とする保持容量520が形成される。（図5）

#### 【0076】

こうして、画素電極に液晶制御用の電圧を印加するためのスイッチング素子（TFT）と同時に保持容量520を形成した。

## 【0077】

また、上記各実施例における有機材料で構成された上記各層間絶縁膜は、単層でもよいし、二層以上の積層構造としても良い。

## 【0078】

なお、本実施例は実施例1～3のいずれの構成とも自由に組み合わせができる。

## 【0079】

## 【実施例5】

本発明の実施例について図6～図10を用いて説明する。ここでは、同一基板上に画素回路とその画素回路を制御するための制御回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、制御回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

## 【0080】

図6(A)において、基板601には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

## 【0081】

そして、基板601のTFTが形成される表面には、20～100nm(好ましくは40～80nm)の厚さの非晶質構造を含む半導体膜602を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。

## 【0082】

また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコングルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気開放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製される

TFTの特性バラツキを低減させることができる。

【0083】

次に、非晶質シリコン膜602上に珪素（シリコン）を含む絶縁膜でなるマスク膜603を形成し、パターニングによって開口部604a、604bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する触媒元素を添加するための添加領域となる。（図6（A））

【0084】

なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 $SiO_xNy$ で表される絶縁膜である。窒化酸化シリコン膜は $SiH_4$ 、 $N_2O$ 及び $NH_3$ を原料ガスとして作製することができる、含有する窒素濃度が25atomic%以上50atomic%未満とすると良い。

【0085】

また、このマスク膜603のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。

【0086】

次に、特開平10-247735号公報（米国出願番号09/034, 041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0087】

具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

## 【0088】

なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンドルコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

## 【0089】

また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550°Cで1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atom%以下とすることが好ましい。

## 【0090】

結晶化工程は、まず400～500°Cで1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650°C（好ましくは550～600°C）で6～16時間（好ましくは8～14時間）の熱処理を行う。

## 【0091】

本実施例では、触媒元素としてニッケルを用い、570°Cで14時間の熱処理を行う。その結果、開口部604a、604bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）605a～605dが形成される。（図6（B））

## 【0092】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜603をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部604a、604bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）606a、606bを形成する。（図6（C））

## 【0093】

次に、窒素雰囲気中で450～650°C（好ましくは500～550°C）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング

作用によって、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜607a～607dに含まれるニッケル濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができる。

#### 【0094】

次に、マスク膜603を除去し、結晶質シリコン膜607a～607d上に後の不純物添加のために保護膜608を形成する。保護膜608は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜608は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするために、微妙な濃度制御を可能にするための意味がある。

#### 【0095】

そして、その上にレジストマスク609を形成し、保護膜608を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B<sub>2</sub>H<sub>6</sub>）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行なうイオンインプランテーション法を用いても良い。

#### 【0096】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域610a、610bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図6（D））

#### 【0097】

次に、レジストマスク609を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）611～614を形成する。なお、活性層611～614は、ニッケルを選択的に添加して結晶化することによって、非

常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層 611～614 中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ である。（図6（E））

#### 【0098】

また、pチャネル型TFTの活性層611は意図的に添加された不純物元素を含まない領域であり、nチャネル型TFTの活性層612～614はp型不純物領域（b）となっている。本明細書中では、この状態の活性層611～614は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

#### 【0099】

次に、プラズマCVD法またはスパッタ法により10～100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

#### 【0100】

次に、800～1150°C（好ましくは900～1000°C）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950°C 80分の熱処理工程を行う。なお、図6（D）の工程で添加されたボロンはこの熱酸化工程の間に活性化される。（図7（A））

#### 【0101】

この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層611～614との界面においても酸化反応が進行する。本実施例の熱酸化工程では、60nm厚の活性層のうち25nmが酸化されて活性層611～614の膜厚は45nmとなる。また、30nm厚の珪素を含む絶縁膜に対して50nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜615の膜厚は110nmとなる。

## 【0102】

次に、新たにレジストマスク616～619を形成する。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域620～622を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図7（B））

## 【0103】

この不純物領域620～622は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（b）と定義する。

## 【0104】

なお、ここではフォスフィン（PH<sub>3</sub>）を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜615を介して結晶質シリコン膜にリンを添加する。

## 【0105】

次に、600～1000°C（好ましくは700～800°C）の不活性雰囲気中で熱処理を行い、図7（B）の工程で添加されたリンを活性化する。本実施例では800°C1時間の熱処理を窒素雰囲気中で行う。（図7（C））

## 【0106】

この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することができる。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

## 【0107】

この工程によりn型不純物領域（b）620～622の境界部、即ち、n型不

純物領域（b）の周囲に存在する真性又は実質的に真性な領域（勿論、p型不純物領域（b）も含む）との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

#### 【0108】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜623と第2導電膜624とでなる積層膜を形成する。（図7（D））

#### 【0109】

ここで第1導電膜623、第2導電膜624としては、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素、または前記元素を主成分とする導電膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）を用いることができる。

#### 【0110】

なお、第1導電膜623は10～50nm（好ましくは20～30nm）とし、第2導電膜624は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、第1導電膜623として、50nm厚の窒化タングステン（WN）膜を、第2導電膜624として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜623の下にシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

#### 【0111】

次に、第1導電膜623と第2導電膜624とを一括でエッチングして400nm厚のゲート配線625～628を形成する。この時、制御回路に形成されるゲート配線626、627はn型不純物領域（b）620～622の一部とゲート絶縁膜615を介して重なるように形成する。この重なった部分が後にLov領域となる。なお、ゲート配線628a、628bは断面では二つに見えるが実際

は連続的に繋がった一つのパターンから形成されている。(図7 (E))

#### 【0112】

次に、レジストマスク629を形成し、p型不純物元素（本実施例ではボロン）を添加して高濃度にボロンを含む不純物領域630、631を形成する。本実施例ではジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm<sup>3</sup>（代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>）濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域（a）と定義する。（図8 (A)）

#### 【0113】

次に、レジストマスク629を除去し、ゲート配線及びpチャネル型TFTとなる領域を覆う形でレジストマスク632～634を形成する。そして、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域635～641を形成する。ここでも、フォスフィン（PH<sub>3</sub>）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>（代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>）とする。（図8 (B)）

#### 【0114】

なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（a）と定義する。また、不純物領域635～641が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域635～641はn型不純物領域（a）と言い換えても構わない。

#### 【0115】

次に、レジストマスク632～634を除去し、珪素を含む絶縁膜でなる保護膜642を形成する。膜厚は25～100nm（好ましくは30～50nm）とすれば良い。本実施例では25nm厚の窒化珪素膜を用いることとする。

#### 【0116】

次に、ゲート配線625～628をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成された不純物領域643～646には前記n型不純物領域（b）の1/2～1/10（代表的には1/3～1/4）の濃度（但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5～10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>、典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm<sup>3</sup>、）でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域（但し、p型不純物領域（a）を除く）をn型不純物領域（c）と定義する。（図8（C））

#### 【0117】

この工程では105nmの膜厚の絶縁膜（キャップ膜642とゲート絶縁膜615との積層膜）を通してリンを添加することになるが、保護膜642もマスクとして機能する。即ち、保護膜642の膜厚に相当する長さのオフセット領域が形成されることになる。

#### 【0118】

なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域（b）643～646には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度のボロンが添加されているが、この工程ではp型不純物領域（b）に含まれるボロンの5～10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域（b）の機能には影響を与えないと考えて良い。

#### 【0119】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において500～800℃、好ましくは550～600℃で行えば良い。本実施例では600℃、4時間の熱処理を行い、不純物元素を活性化する。（図8（D））

## 【0120】

なお、本実施例では窒化シリコン膜642を積層した状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例では窒化シリコン膜を積層しているため、ピンホールの問題を気にせずに高い温度で活性化工程を行うことが可能である。

## 【0121】

次に、活性化工程の後、3～100%の水素を含む雰囲気中で、300～450°Cで1～4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【0122】

活性化工程を終えたら、500nm～1.5μm厚の第1層間絶縁膜650を形成する。本実施例では第1層間絶縁膜650として1μm厚のアクリルを塗布法により形成する。また、他の第1層間絶縁膜650として、ポリイミド、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等の有機樹脂膜を用いることも可能である。

## 【0123】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。この時、スパッタ法によりTi膜を全面に成膜した後、レジストマスクを用いてドライエッティングによりTi膜と有機樹脂膜を貫くコンタクトホールを形成する。上記ドライエッティングと同時に、レジストマスクが除去され、アルミニウムを主成分とする膜を全面に形成し、パターニングを行って、ソース配線651～654と、ドレイン配線655～657を形成する。こうして、本発明の実施の形態で示したコンタクト構造を実現する。

## 【0124】

なお、CMOS回路を形成するためにドレイン配線655はpチャネル型TFTとnチャネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200nm、Tiを含むアルミニウム膜50

0 nm、を形成した2層構造の積層膜とする。（図9（A））

【0125】

また、この後さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450°Cで1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。

【0126】

その後、有機樹脂からなる第2層間絶縁膜659を約1 μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成する。

【0127】

次に、画素回路となる領域において、第2層間絶縁膜659上に遮蔽膜660を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜660はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100～300 nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125 nmの厚さに形成する。

【0128】

なお、第2層間絶縁膜659上に酸化シリコン膜等の絶縁膜を5～50 nm形成しておくと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第2層間絶縁膜659の表面にCF<sub>4</sub>ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0129】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、制御回路内で回路間をつなぐ

接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第2層間絶縁膜にコンタクトホールを形成しておく必要がある。

## 【0130】

次に、遮蔽膜660の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物661を形成する。本実施例では遮蔽膜660としてアルミニウムを主成分とする膜を用いたため、陽極酸化物661として酸化アルミニウム膜（アルミナ膜）が形成される。

## 【0131】

次に、第3層間絶縁膜659、パッシバーション膜658にドレイン配線657に達するコンタクトホールを形成し、画素電極662を形成する。なお、画素電極663は隣接する別の画素の画素電極である。画素電極662、663は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を110nmの厚さにスパッタ法で形成する。

## 【0132】

また、この時、画素電極662と遮蔽膜660とが陽極酸化物661を介して重なり、保持容量（キャピタンス・ストレージ）664を形成する。なお、この場合、遮蔽膜660をフローティング状態（電気的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

## 【0133】

こうして同一基板上に、制御回路と画素回路とを有したアクティブラチクス基板が完成した。なお、図9（B）においては、制御回路にはpチャネル型TFT301、nチャネル型TFT802、803が形成され、画素回路にはnチャネル型TFTでなる画素TFT804が形成される。

## 【0134】

ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9（B）の状態の基板に対し、配向膜を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板には、透明導電膜と、配向膜4とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

## 【0135】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチル角を持って配向するように調節する。そして、画素回路と、制御回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。

## 【0136】

次に、このアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。なお、図8は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板601上に形成された、画素回路901と、走査（ゲート）信号制御回路902と、画像（ソース）信号制御回路903で構成される。画素回路の画素TFT804はnチャネル型TFTであり、周辺に設けられる制御回路はCMOS回路を基本として構成されている。走査信号制御回路902と、画像信号制御回路903はそれぞれゲート配線628とソース配線654で画素回路901に接続されている。また、FPC904が接続された外部入出力端子905から制御回路の入出力端子までの接続配線906、907が設けられている。

## 【0137】

次に、図10に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図11に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号制御回路1001、走査信号制御回路（A）1007、走査信号制御回路（B）1

011、プリチャージ回路1012、画素回路1006を有している。なお、本明細書中において、制御回路には画像信号処理回路1001および走査信号制御回路1007が含まれる。

#### 【0138】

画像信号制御回路1001は、シフトレジスタ回路1002、レベルシフタ回路1003、バッファ回路1004、サンプリング回路1005を備えている。また、走査信号制御回路(A)1007は、シフトレジスタ回路1008、レベルシフタ回路1009、バッファ回路1010を備えている。走査信号制御回路(B)1011も同様な構成である。

#### 【0139】

なお、本実施例の構成は、図6～9に示した工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素回路と制御回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ回路、オペアンプ回路、γ補正回路、さらにはマイクロプロセッサ回路などの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

#### 【0140】

このように本発明は、同一基板上に画素回路と該画素回路を制御するための制御回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、制御回路および画素回路とを具備した半導体装置を実現しうる。

#### 【0141】

また、本実施例の図7(B)までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。このような結晶質シリコン膜に関する詳細は、本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成されたTFTの活性層を形成する半導体層の特徴と一致する。

#### 【0142】

上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0143】

本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有する結晶質シリコン膜をCGS (Continuous Grain Silicon)と呼んでいる。

【0144】

なお、本実施例の構成は、実施例1～4のいずれの構成とも自由に組み合せることが可能である。

【0145】

【実施例6】

本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0146】

なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合せることが可能である。

【0147】

【実施例7】

本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図12に示す。

【0148】

図12はアクティブマトリクス型ELディスプレイの回路図である。81は画素回路を表しており、その周辺にはX方向制御回路82、Y方向制御回路83が設けられている。また、画素回路81の各画素は、スイッチ用TFT84、コン

デンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a（または88b）、Y方向信号線89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

#### 【0149】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向制御回路82、Y方向制御回路83または電流制御用TFT86に用いられるTFTを図9(B)のpチャネル型TFT301、nチャネル型TFT302または303を組み合わせて形成する。また、スイッチ用TFT84のTFTを図9(B)のnチャネル型TFT804で形成する。

#### 【0150】

なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1～6のいずれの構成を組み合わせても良い。

#### 【0151】

##### 【実施例8】

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDL（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物（反強誘電性混合液晶）が挙げられる。

#### 【0152】

例えば、「H.Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、「S.Inui et al.;Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J.Mater.Chem.6(4), 1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

#### 【0153】

特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶（Thresholdless Antiferroelectric LCD : TL-AF LCDと略記する）にはV字型（またはU字型）の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。そのため、画素回路用の電源電圧が5～8V程度で済む場合があり、制御回路と画素回路を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

#### 【0154】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるような TFT は非常に動作速度の速い TFT を実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

#### 【0155】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。そういう意味で実施例5の図9（B）で示した保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

#### 【0156】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

#### 【0157】

また、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

#### 【0158】

##### 【実施例9】

本発明を実施して形成されたCMOS回路や画素回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディス

レイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0159】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図13に示す。

【0160】

図13(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0161】

図13(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0162】

図13(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0163】

図13(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0164】

図13 (E) はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0165】

図13 (F) はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0166】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～8のどのような組み合わせからなる構成を用いても実現することができる。

【0167】

【発明の効果】

このように、層間絶縁膜に有機材料を用い、第1の金属膜をドライエッチング工程のマスクとして用いることによって、従来よりも微小なコンタクトホール（直径が、3 μm以下、好ましくは、2 μm～0.1 μmを有する）を形成することができる。

【0168】

また、本発明においては、第1層間絶縁膜が有機材料で形成されているので、無機材料を使用した場合と比較して十分に平坦化することができる。さらに、第2、第3層間絶縁膜を有機材料で形成すると、十分に平坦化された領域に画素電極を形成することができるため、確実なラビング処理を行うことができ、液晶配向の乱れを無くすることができる。

【0169】

また、第2の金属層と比較して低抵抗な金属材料を第1の金属膜として用いることによって、配線を低抵抗化することができる。加えて、半導体層（例えばシリコン）と良好なコンタクト界面を形成することが可能な金属材料を第2の金属膜として用いることによって、コンタクト不良を低減することができる。

【0170】

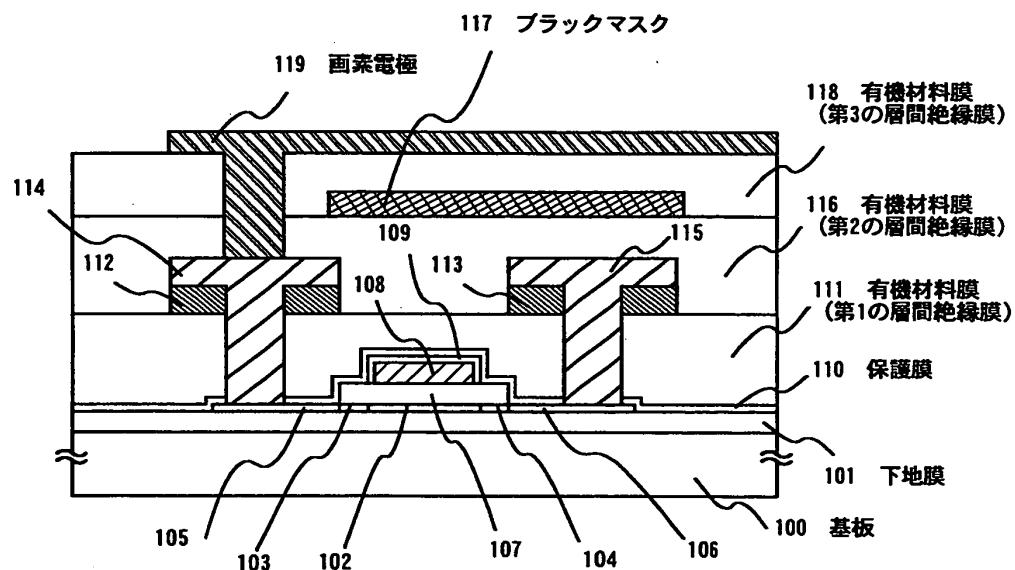
また、有機材料とシリコンを主成分とする半導体層との選択比が十分とれるため、微小なコンタクトホールを形成することができ、表示素子のサイズを小さくすることができる。その結果、開口率を大きくすることが実現できる。

【図面の簡単な説明】

- 【図1】 本発明の構造の一例を示す図（実施例1）
- 【図2】 本発明の作製工程の1例を示す図（実施例2）
- 【図3】 本発明の作製工程の1例を示す図（実施例2）
- 【図4】 本発明の構造の一例を示す図（実施例3）
- 【図5】 本発明の構造の一例を示す図（実施例4）
- 【図6】 本発明の作製工程の一例を示す図（実施例5）
- 【図7】 本発明の作製工程の一例を示す図（実施例5）
- 【図8】 本発明の作製工程の一例を示す図（実施例5）
- 【図9】 本発明の作製工程の一例を示す図（実施例5）
- 【図10】 本発明の構造の一例を示す図（実施例5）
- 【図11】 本発明の構造の一例を示す図（実施例5）
- 【図12】 本発明の構造の一例を示す図（実施例7）
- 【図13】 電子機器の一例を示す図（実施例9）

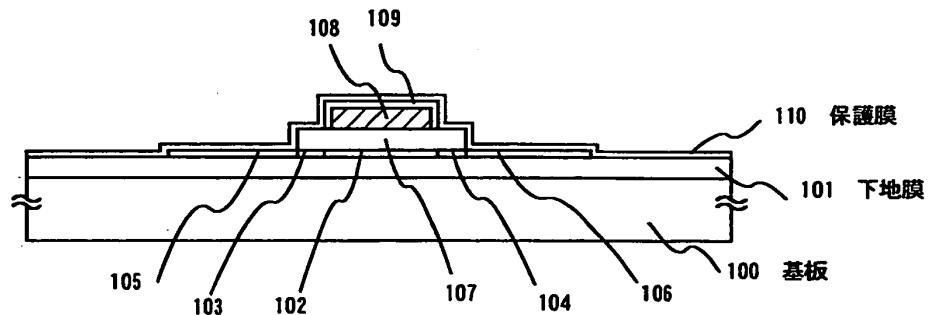
【書類名】 図面

【図 1】

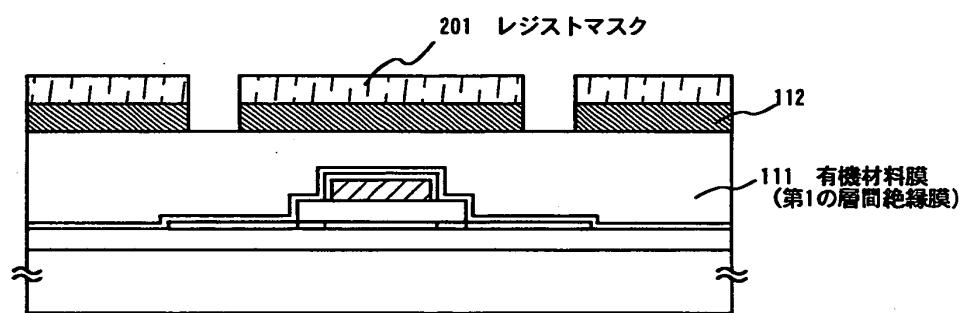


【図2】

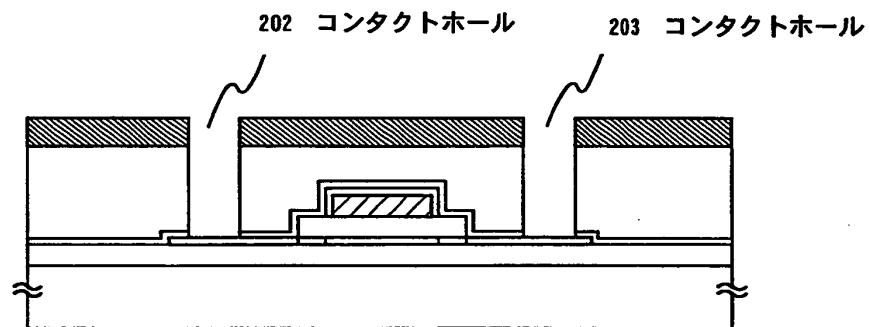
(A)



(B)



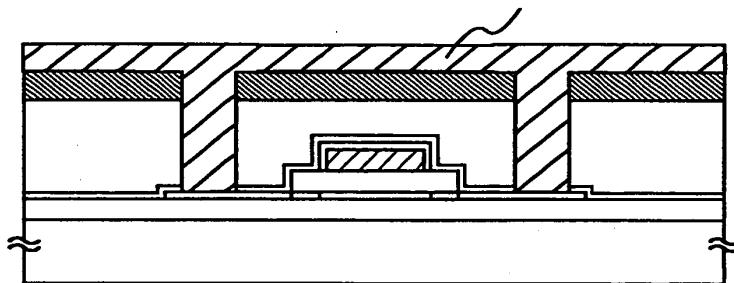
(C)



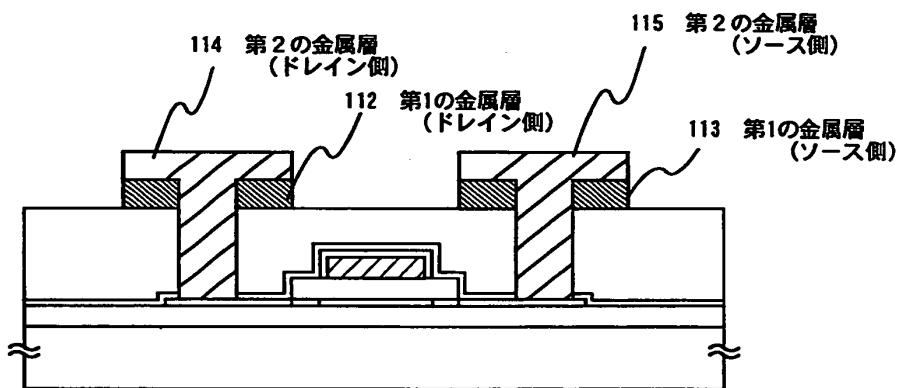
【図3】

(A)

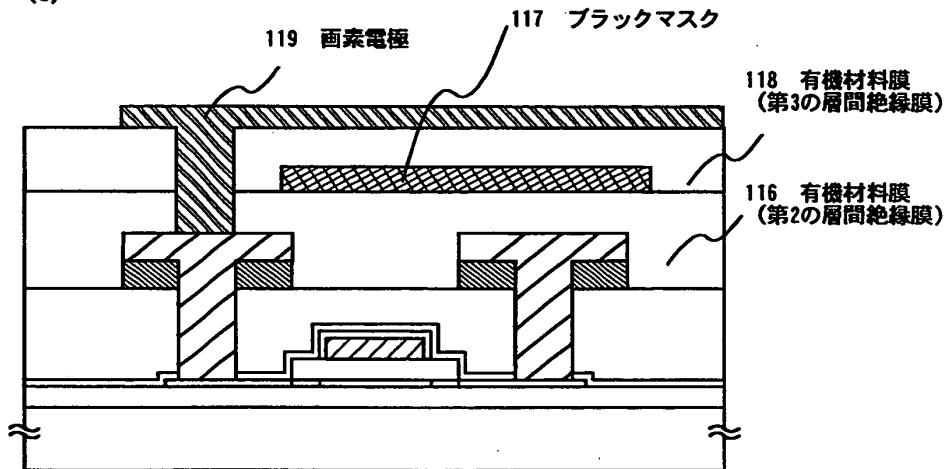
301 第2の金属膜



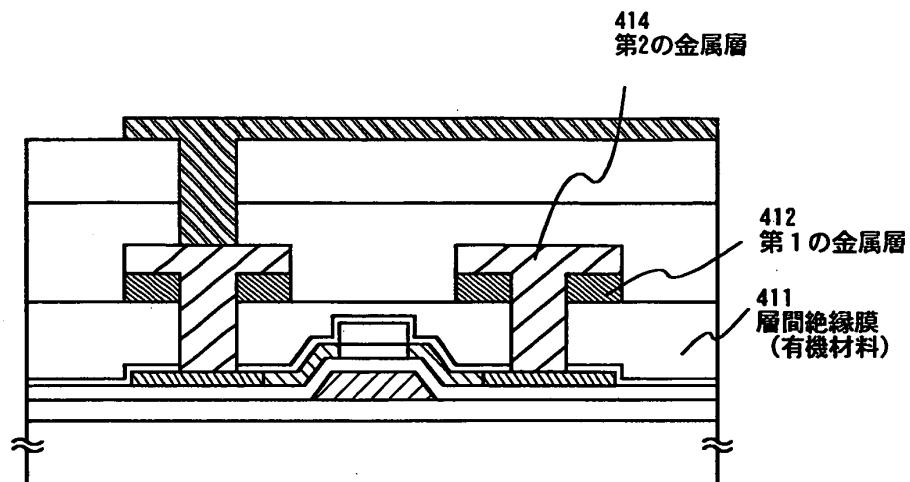
(B)



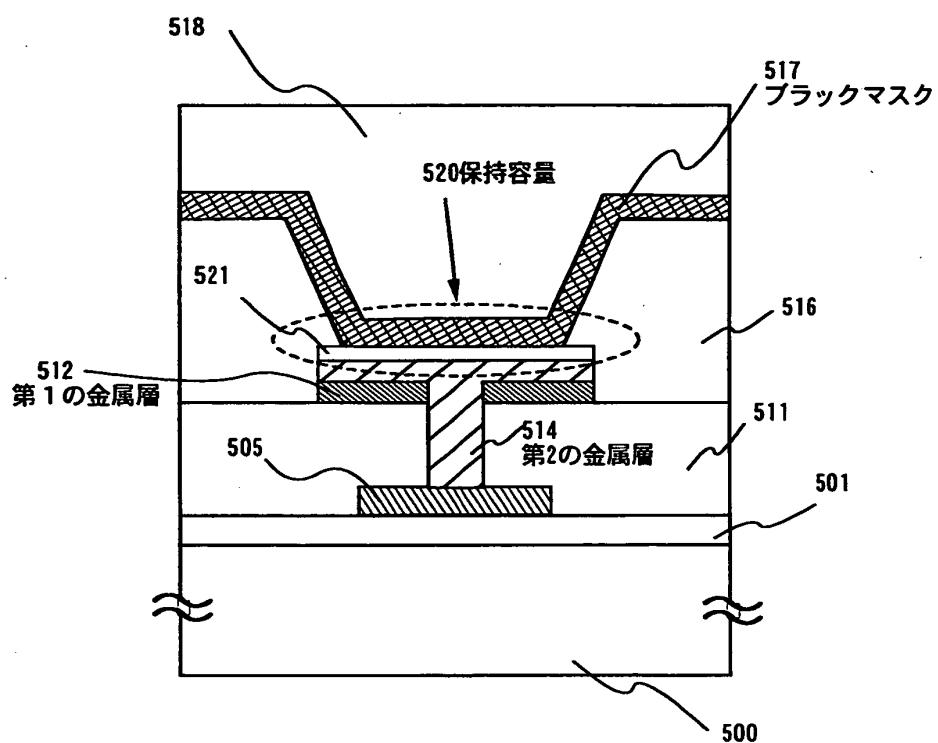
(C)



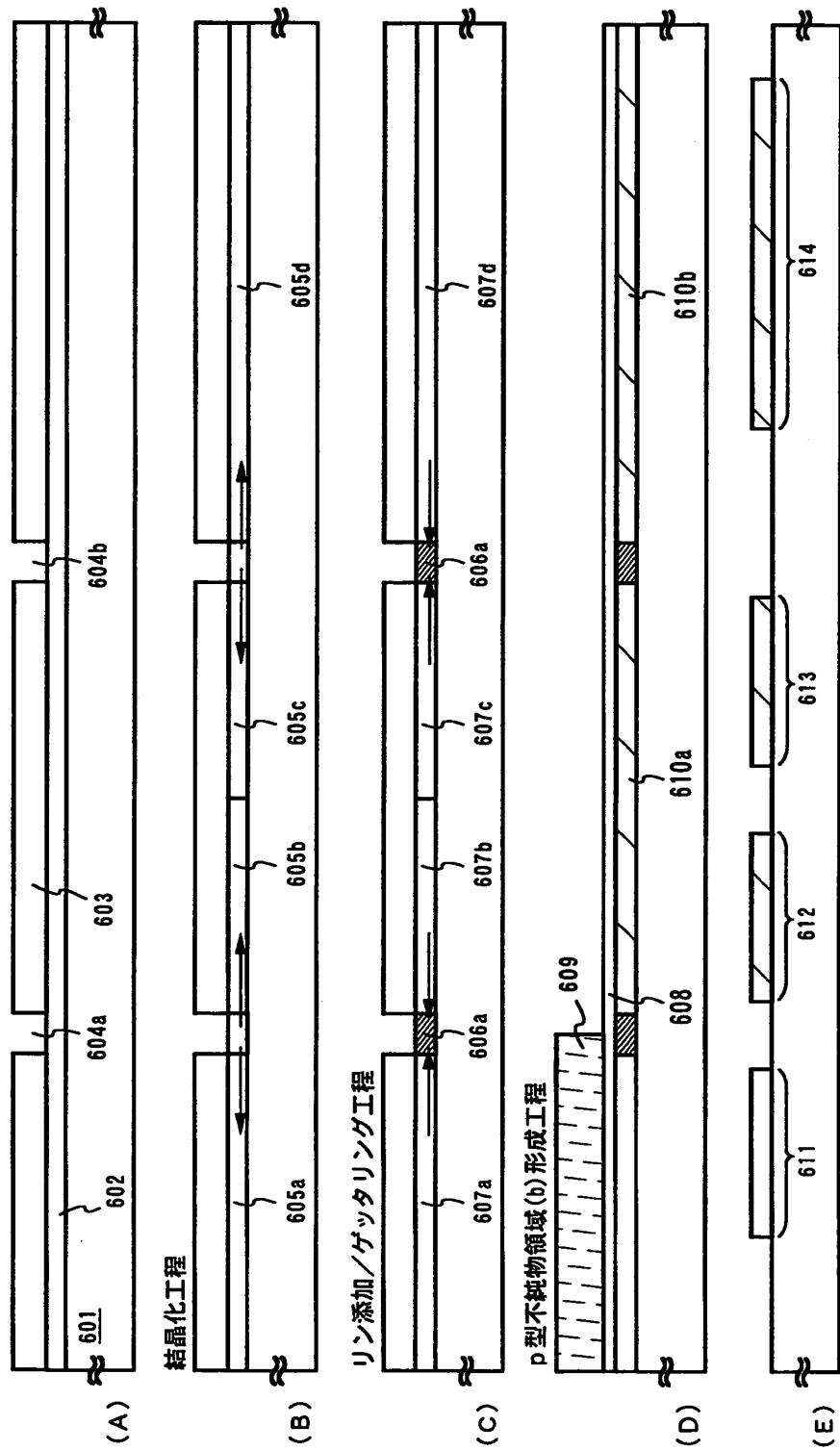
【図4】



【図5】

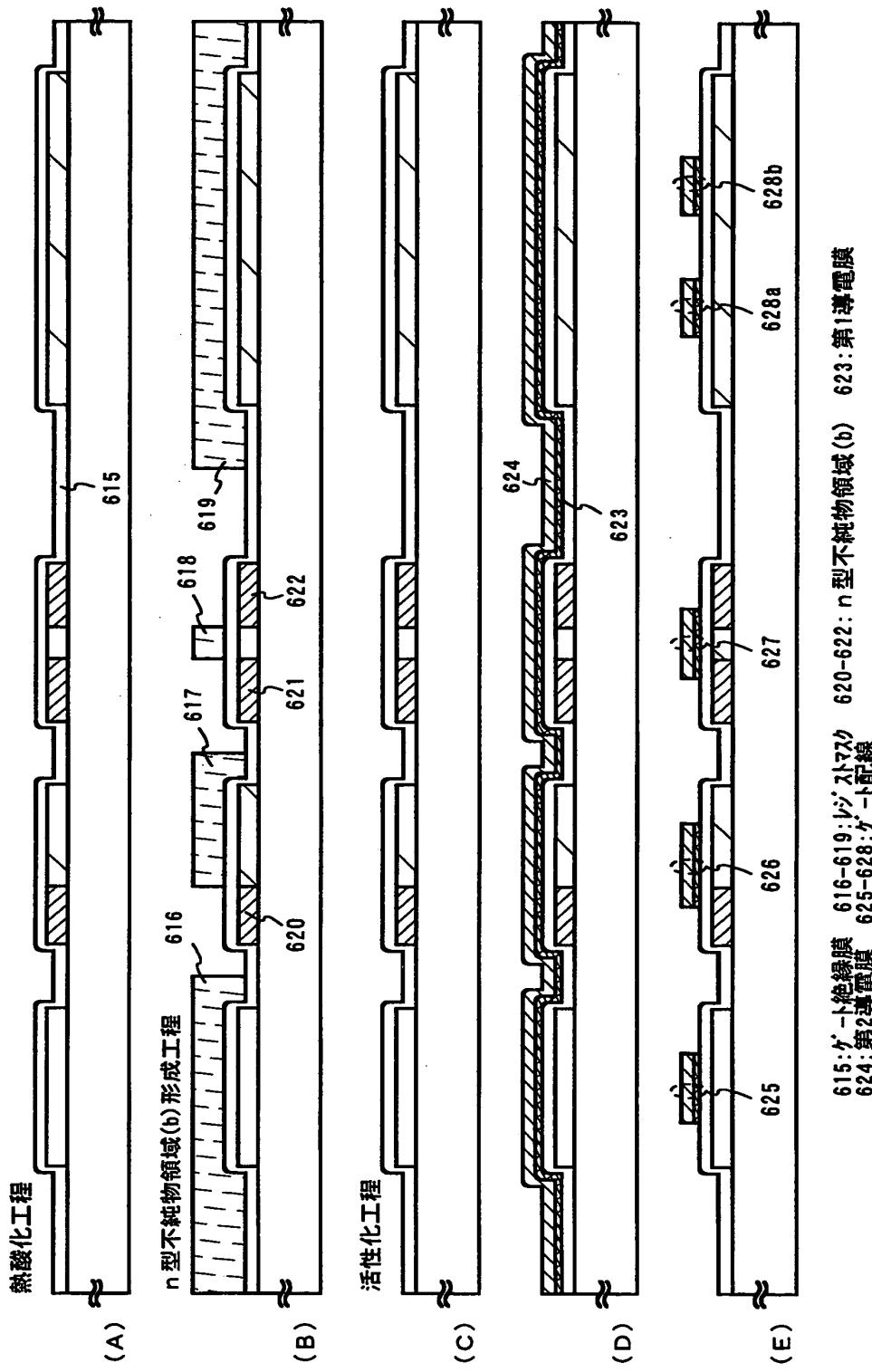


【図6】



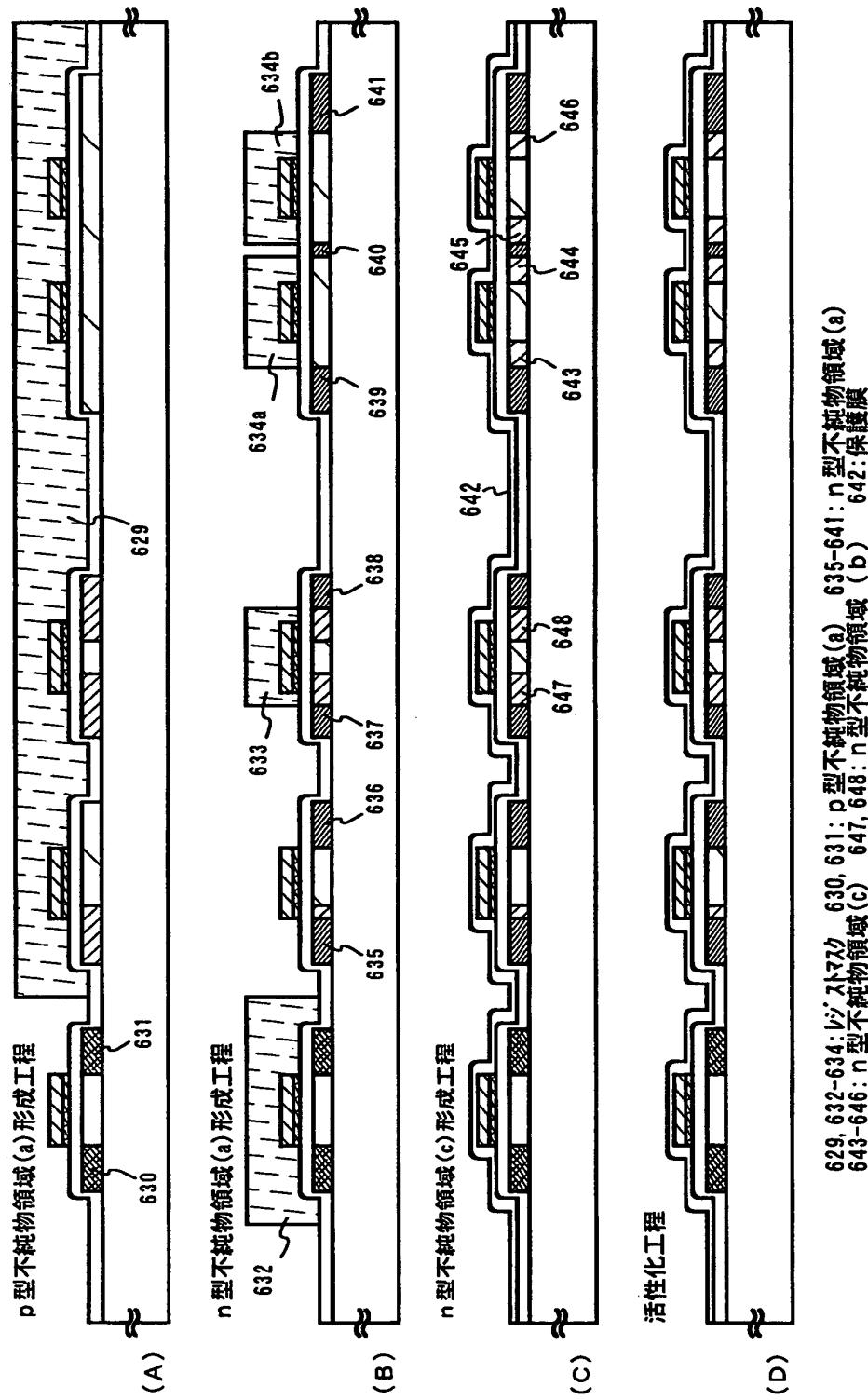
601: 基板 602: 非晶質シリコン膜 603: 真空膜 604a, 604b: 開口部 605a-605d: 結晶質シリコン膜 606a, 606b: リン添加領域  
607a-607d: ナッタリング後の結晶質シリコン膜 608: 保護膜 609: リンストラク 610-614: 活性層

【図7】

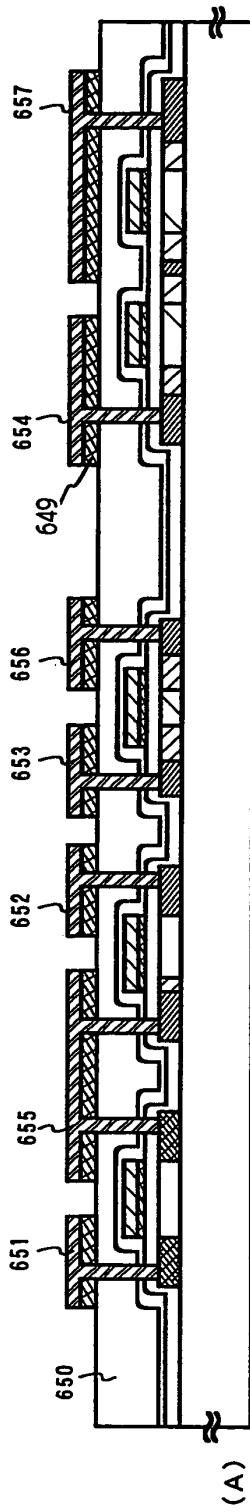


615: p-型絶縁膜 616-619: p-型不純物  
620-622: n型不純物領域(b) 623: 第1導電膜  
624: 第2導電膜 625-628: p-型配線

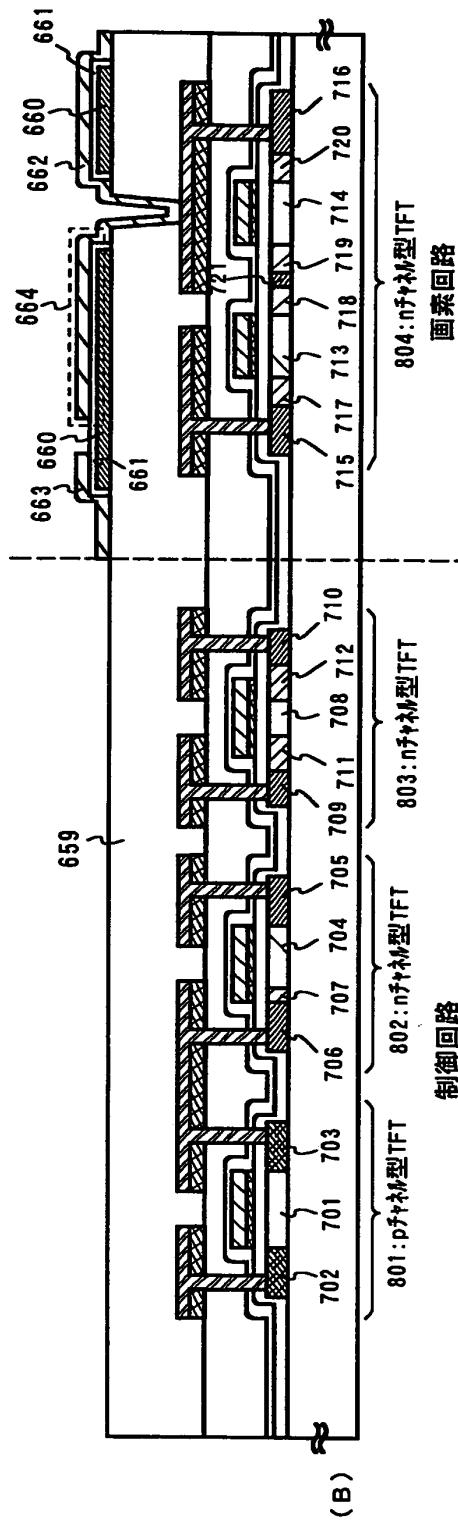
【図8】



[図9]



(A)

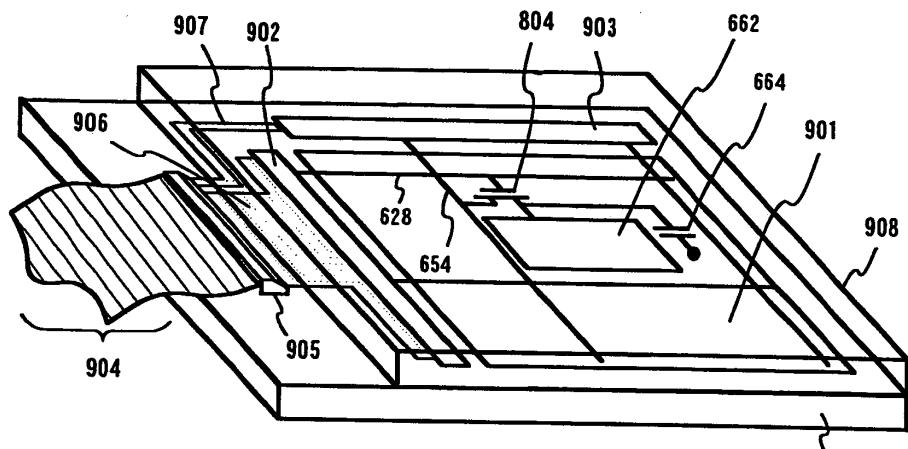


制御回路

画素回路

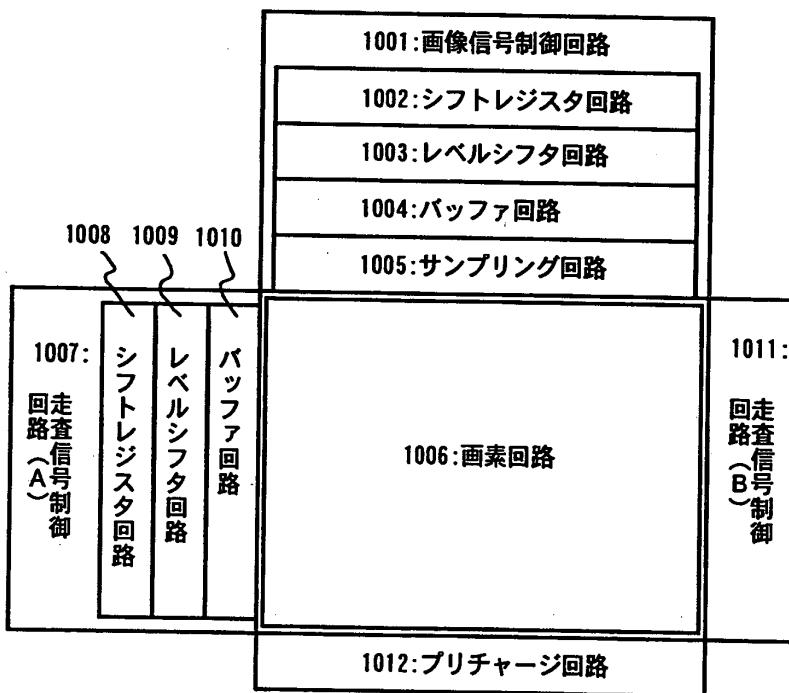
650: 第1層間絶縁膜 651-654: ヨ-7配線 655-657: ドーナツ配線 659: 第2層間絶縁膜  
 660: 過渡膜 661: 陽極酸化物 662, 663: 画素電極 664: 保持管  
 701, 704, 708, 713, 714: リソルーブル形成領域 702, 705, 709, 715, 716: ヨ-2領域  
 707, 711, 712: n型不純物領域 (b) 717-720: n型不純物領域 (c) 721: n型不純物領域 (a)

【図10】

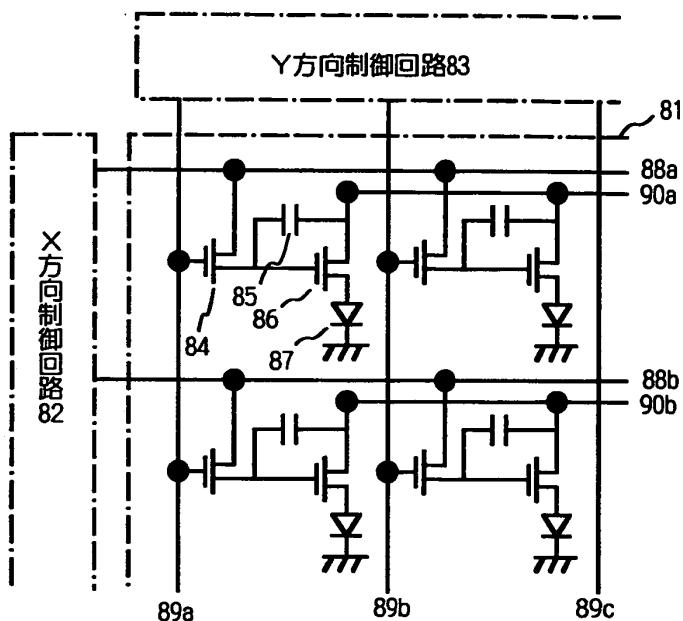


601: 基板 901: 画素回路  
 902: 走査信号制御回路 903: 画像信号制御回路  
 904: FPC 905: 外部入出力端子 906, 907: 接続配線  
 804: 画素TFT 628: ゲート配線 654: ソース配線  
 662: 画素電極 664: 保持容量 908: 対向基板

【図11】

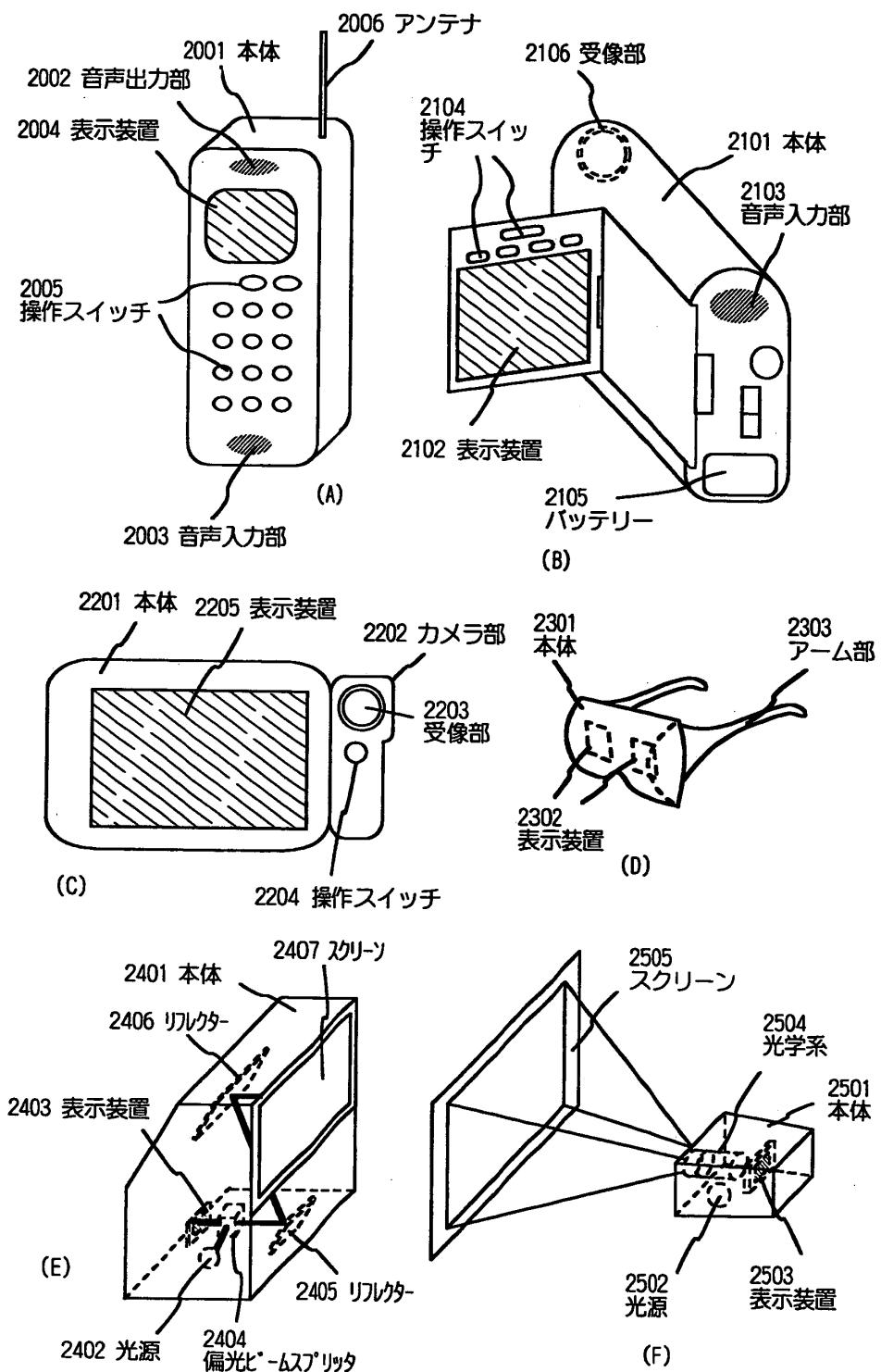


【図12】



81:画素回路 82:X方向制御回路 83:Y方向制御回路  
 84:入力用TFT 85:ゲート 86:電流制御用TFT 87:有機EL素子  
 88a, 88b: X方向信号線 89a~89c: Y方向信号線 90a, 90b: 電源線

【図13】



【書類名】 要約書

【要約】

【課題】 微小なコンタクトホールを形成し、集積回路を微細化することを目的とする。

【解決手段】 スイッチング素子および各配線を覆う層間絶縁膜111として有機材料を用い、且つ、金属膜112のマスクを用い、ドライエッチング法によってコンタクトホールを形成し、配線114を形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所